

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC971 U.S. PTO

09/877033



SSb

別紙添付の書類に記載されている事項は下記の出願書類に記載されて⁰⁹²
いる事項と同一であることを証明する。₁₁₋₂₀₋₀₁

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年12月20日

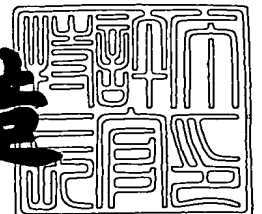
出 願 番 号
Application Number: 特願2000-387264

出 願 人
Applicant(s): 富士通株式会社
富士通ヴィエルエスアイ株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3013660

【書類名】 特許願

【整理番号】 0041142

【提出日】 平成12年12月20日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明の名称】 半導体装置、レイアウトデータ設計装置、及び記録媒体

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

【氏名】 深澤 真治

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、レイアウトデータ設計装置、及び記録媒体

【特許請求の範囲】

【請求項 1】 複数種類の電源電圧を供給する電源配線を備えた半導体装置において、

第 1 のブロックに電源電圧を供給する第 1 の電源端子を有した第 1 のスタンダードセルと、

前記第 1 のブロックの電源電圧と異なる電源電圧を供給する第 2 の電源端子を、前記第 1 の電源端子と異なる位置に有した第 2 のスタンダードセルと、

前記第 1 及び第 2 の電源端子を含み、一体に形成されるレベルコンバータセルと
を同一セル列に配置したことを特徴とする半導体装置。

【請求項 2】 複数種類の電源電圧を供給する電源配線を備えた半導体装置において、

第 1 のブロック及び第 2 のブロック内に配置され、当該第 1 及び第 2 のブロックに電源電圧を供給する第 1 の電源端子を有した第 1 のスタンダードセルと、

前記第 1 及び第 2 のブロック間に配置され、当該第 1 及び第 2 のブロックの電源電圧と異なる電源電圧を供給する第 2 の電源端子を、前記第 1 の電源端子と異なる位置に有した第 2 のスタンダードセルと、

前記第 1 及び第 2 の電源端子を含み、一体に形成されるレベルコンバータセルと
を同一セル列に配置したことを特徴とする半導体装置。

【請求項 3】 前記第 2 のスタンダードセルは、

前記第 1 及び第 2 のブロック間に搭載され、当該第 1 及び第 2 のブロック間の電源電圧と同一の電源電圧が供給される第 3 のブロック内に配置したことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記レベルコンバータセルは、

前記第 1 及び第 2 のブロック内に配置したことを特徴とする請求項 2 又は 3 に記載の半導体装置。

【請求項 5】 前記レベルコンバータセルは、

前記第 1 及び第 2 のブロック間に配置したことを特徴とする請求項 2 又は 3 に記載の半導体装置。

【請求項 6】 前記第 1 のスタンダードセルと前記レベルコンバータセルの第 1 の電源端子を接続する電源配線、及び、前記第 2 のスタンダードセルと前記レベルコンバータセルの第 2 の電源端子を接続する電源配線は、直線であることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】 請求項 1 乃至 6 のいずれかに記載の半導体装置のレイアウトデータ設計装置において、

当該レイアウトデータ設計装置は、

複数のブロックを搭載する半導体装置のネットリストの入力に基づいて当該各ブロック毎に電源電圧を設定し、同各ブロックの電源電圧に基づいてブロック間電圧を設定する第 1 のステップと、

前記ブロック間電圧に基づいて前記レベルコンバータセルを生成する第 2 のステップと、

前記複数のブロックに設定される電源電圧、及び前記ブロック間電圧に基づいて、前記レベルコンバータセルを当該複数のブロック内またはブロック間に配置する第 3 のステップと、を実行する手段を備えたことを特徴とするレイアウトデータ設計装置。

【請求項 8】 前記第 3 のステップは、

前記複数のブロックに設定される電源電圧が、前記ブロック間電圧と異なる電源電圧に設定されているブロックに、前記レベルコンバータセルを配置するステップとしたこと

を特徴とする請求項 7 に記載のレイアウトデータ設計装置。

【請求項 9】 前記レベルコンバータセルの配置に基づいて、前記第 1 及び第 2 のスタンダードセルを配置する第 4 のステップを実行する手段を備えたことを特徴とする請求項 7 又は 8 に記載のレイアウトデータ設計装置。

【請求項 10】 請求項 7 乃至 9 のいずれかに記載のステップに基づいてレイアウトデータを作成するプログラムを記録したコンピュータ読み取り可能な記

録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、レイアウトデータ設計装置、及び記録媒体に関する。

近年、半導体集積回路装置（LSI）、例えばASIC（Application Specific IC）等は高集積化及び高機能化に伴い、1つのチップ上に多数の機能ブロックが搭載されるようになってきている。これら多数の機能ブロックにおいて同一チップ上に電源電圧の異なる機能ブロックが搭載される場合、その電源電圧の異なる配線ネットにレベルコンバータセルが配置される。また、一般的に機能ブロック間の配線ネットにはその負荷を軽減するため、レベルコンバータセルとともにリピータセルが配置される。このため、これらセルの配置方法及び電源配線の接続方法において、LSIのレイアウト設計を効率化させ、その設計時間を短縮することが要求されている。

【0002】

【従来の技術】

図8は、半導体装置の概略平面図を示す。

半導体装置80のチップ81上にはロジック等よりなる多数（図では7つ）の機能ブロック82～88が配置されている。各機能ブロック82～88の電源電圧が他の機能ブロックと異なる場合、それら機能ブロック82～88に繋がる配線ネットにレベルコンバータセル（図示略）が配置される。

【0003】

例えば、図9に示すように機能ブロック82～85（図中、BlockA～Dで示す）の電源電圧がそれぞれ1.0V, 1.2V, 1.2V, 0.8Vとする。このような場合、レベルコンバータセルは、同じ電源電圧である機能ブロック83（BlockB）と機能ブロック84（BlockC）との配線ネットを除く、他の機能ブロック間の配線ネットにそれぞれ設置される。

【0004】

図10は、従来の昇圧レベルコンバータセルの概略図を示す。

昇圧レベルコンバータセル 9 0 は、電源電圧の異なる機能ブロック間の配線ネットにおいて、低電圧側に接続されるセル（以下、低圧側セル）9 0 a と、高電圧側に接続されるセル（以下、高圧側セル）9 0 b とからなる。即ち、低圧側セル 9 0 a は、電源端子 VDDL, VSS を含み、高圧側セル 9 0 b は、電源端子 VDDH, VSS を含む。そして、昇圧レベルコンバータセル 9 0 は、低圧側セル 9 0 a の電源端子 VDDL に入力される電圧を昇圧し、その電圧を高圧側セル 9 0 b の電源端子 VDDH から出力する。従って、これら低圧側セル 9 0 a 及び高圧側セル 9 0 b は、機能ブロック間の配線ネットにおいて近傍に配置される。

【 0 0 0 5 】

図 1 1 は、機能ブロック 9 1 ~ 9 4 の各ブロック間に昇圧レベルコンバータセル 9 5 ~ 9 7 を配置した従来の多電源レイアウト図を示す。尚、各機能ブロック 9 1 ~ 9 4 の電源電圧は、それぞれ 1. 0 V, 1. 2 V, 1. 2 V, 0. 8 V とする。。

【 0 0 0 6 】

機能ブロック 9 1, 9 2 の配線ネットに昇圧レベルコンバータセル 9 5 が配置される。この昇圧レベルコンバータセル 9 5 は、低圧側セル 9 5 a と高圧側セル 9 5 b を含み、低圧側セル 9 5 a に入力される 1. 0 V の電圧を 1. 2 V に昇圧し、その電圧を高圧側セル 9 5 b から出力する。また、この配線ネットにおける昇圧レベルコンバータセル 9 5 の前後にスタンダードセル（以下、リピータセルという）9 8, 9 9 が配置される。リピータセル 9 8 は、機能ブロック 9 1 の電源電圧（1. 0 V）を入力し、その電圧を低圧側セル 9 5 a に出力する。リピータセル 9 9 は、高圧側セル 9 5 b の出力電圧（1. 2 V）を入力し、その電圧を機能ブロック 9 2 に出力する。

【 0 0 0 7 】

同様に、機能ブロック 9 1, 9 3 の配線ネットに昇圧レベルコンバータセル 9 6 が配置され、この昇圧レベルコンバータセル 9 6 は、低圧側セル 9 6 a に入力される 1. 0 V の電圧を 1. 2 V に昇圧し、その電圧を高圧側セル 9 6 b から出力する。

【 0 0 0 8 】

同様に、機能ブロック 9 1, 9 4 の配線ネットに昇圧レベルコンバータセル 9 7 が配置され、この昇圧レベルコンバータセル 9 7 は、低圧側セル 9 7 a に入力される 0. 8 V の電圧を 1. 0 V に昇圧し、その電圧を高圧側セル 9 7 b から出力する。また、同様に、昇圧レベルコンバータセル 9 7 の前後にリピータセル 1 0 0, 1 0 1 が配置される。そして、リピータセル 1 0 0 は、機能ブロック 9 4 の電源電圧 (0. 8 V) を低圧側セル 9 7 a に出力し、リピータセル 1 0 1 は、高圧側セル 9 7 b の出力電圧 (1. 0 V) を機能ブロック 9 1 に出力する。

【0 0 0 9】

【発明が解決しようとする課題】

ところで、一般的に半導体装置 (L S I) のレイアウト設計において、セルの電源は同一線幅の配線を横方向に接続する。

【0 0 1 0】

しかしながら、図 1 0 に示すように、従来の昇圧レベルコンバータセル 9 0 において、低圧側セル 9 0 a に設けられる電源端子 VDDL の位置と、高圧側セル 9 0 b に設けられる電源端子 VDDH の位置は、同じ位置 (高さ) となっていた。このため、図 1 1 に示すように、各昇圧レベルコンバータセル 9 5 ~ 9 7 は、低圧側セル 9 5 a, 9 6 a, 9 7 a と高圧側セル 9 5 b, 9 6 b, 9 7 b とにセル列が分離され、且つ同一セル列に同じ電源電圧のセルがレイアウトされる。

【0 0 1 1】

更に、機能ブロック間の配線ネットに配置されるリピータセル 9 8 ~ 1 0 1 は、昇圧レベルコンバータセル 9 5, 9 7 の前後において異なる電源電圧が供給される。従って、例えば、リピータセル 9 9 (電源電圧 1. 2 V) とリピータセル 1 0 0 (電源電圧 0. 8 V) は、同一セル列に配置することが出来ず、それら電源電圧の違いを配慮して同様にレイアウトされる。

【0 0 1 2】

即ち、機能ブロック間の配線ネットには、昇圧レベルコンバータセル及びリピータセルの電源電圧の異なる複数のセルが配置されるため、それらセルの配置及び電源配線の接続に関し、半導体装置のレイアウト設計が煩雑であるという問題があった。

【 0 0 1 3 】

本発明は、上記問題点を解消するためになされたものであって、その目的は、多電源レイアウトにおけるセルの配置及び電源配線の接続を簡素化し、レイアウト設計時間の短縮を図ることができる半導体装置、レイアウトデータ設計装置、及び記録媒体を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明によれば、第 1 のブロックに電源電圧を供給する第 1 のスタンダードセルの第 1 の電源端子は、第 1 のブロックの電源電圧と異なる電源電圧を供給する第 2 のスタンダードセルの第 2 の電源端子と異なる位置に設けられる。また、レベルコンバータセルは、第 1 及び第 2 の電源端子を含み、一体に形成される。そして、異なる電源電圧が印加される各セルは、同一セル列に配置される。

【 0 0 1 5 】

請求項 2 に記載の発明によれば、請求項 1 に記載の発明の作用に加えて、第 1 及び第 2 のブロックに電源電圧を供給する第 1 のスタンダードセルと、第 1 及び第 2 のブロックの電源電圧と異なる電源電圧を供給する第 2 のスタンダードセルと、レベルコンバータセルは、同一セル列に配置される。

【 0 0 1 6 】

請求項 3 に記載の発明によれば、請求項 2 に記載の発明の作用に加えて、第 2 のスタンダードセルは、第 1 及び第 2 のブロック間における第 3 のブロック内に配置される。

【 0 0 1 7 】

請求項 4 に記載の発明によれば、請求項 2 又は 3 に記載の発明の作用に加えて、レベルコンバータセルは、第 1 及び第 2 のブロック内に配置され、且つ第 1 及び第 2 のスタンダードセルと同一セル列に配置される。

【 0 0 1 8 】

請求項 5 に記載の発明によれば、請求項 2 又は 3 に記載の発明の作用に加えて、レベルコンバータセルは、第 1 及び第 2 のブロック間に配置され、且つ第 1 及

び第2のスタンダードセルと同一セル列に配置される。

【0019】

請求項6に記載の発明によれば、請求項1乃至5のいずれかに記載の発明の作用に加えて、第1のスタンダードセルとレベルコンバータセルの第1の電源端子を接続する電源配線、及び、第2のスタンダードセルとレベルコンバータセルの第2の電源端子を接続する電源配線は、直線となる。

【0020】

請求項7又は8に記載の発明によれば、レイアウトデータ設計装置は、先ず第1のステップで、複数のブロックを搭載する半導体装置のネットリストの入力に基づいて各ブロック毎に電源電圧を設定し、各ブロックの電源電圧に基づいてブロック間電圧を設定する。レイアウトデータ設計装置は、第2のステップで、ブロック間電圧に基づいてレベルコンバータセルを生成する。レイアウトデータ設計装置は、第3のステップで、複数のブロックに設定される電源電圧、及びブロック間電圧に基づいて、複数のブロックに設定される電源電圧が、ブロック間電圧と異なる電源電圧に設定されているブロックに、レベルコンバータセルを複数のブロック内またはブロック間に配置する。

【0021】

請求項9に記載の発明によれば、請求項7又は8に記載の発明の作用に加えて、レイアウトデータ設計装置は、第3のステップにおけるレベルコンバータセルの配置に基づいて、第4のステップで、第1及び第2のスタンダードセルを配置する。

【0022】

【発明の実施の形態】

（第一実施形態）

以下、本発明を具体化した第一実施形態を図1～図6に従って説明する。

【0023】

図1は、半導体装置の概略平面図を示す。

半導体装置1のチップ2上に、ロジック等よりなる多数（図では例えば4つ）の機能ブロック3～6が配置されている。これら各機能ブロック3～6は、予め

設定されたチップ2のサイズ（面積）に収まるように配置される。

【0024】

各機能ブロック3～6は、その内部にそれぞれスタンダードセル（以下、内部スタンダードセルという）7を含み、それら内部スタンダードセル7に、各対応する機能ブロック3～6の電源電圧が印加される。尚、図1に示す機能ブロック3～6の各内部スタンダードセル7の数及びそれらの配置は、例として示す。

【0025】

また、各機能ブロック3～6の間における半導体装置1のチップ2上に、複数（図では例えば3つ）のスタンダードセル（以下、リピータセルという）8が配置され、それらリピータセル8に、全て同じ電源電圧が印加される。尚、各リピータセル8の電源電圧は、半導体装置1のレイアウト設計において主として使用される電源電圧を用い一定である。

【0026】

更に、図1に示すように、レベルコンバータセル9が、例えば機能ブロック3，6の内部に配置され、これらレベルコンバータセル9は、リピータセル8の電源電圧に基づいて配置される。

【0027】

詳述すると、リピータセル8に設定された電源電圧、つまり機能ブロック3～6間の電源電圧と異なる電源電圧を有する機能ブロック3，6に、レベルコンバータセル9が設置される。尚、図1に示す機能ブロック3，6の各レベルコンバータセル9の数及びそれらの配置は、例として示す。また、本実施形態において、レベルコンバータセル9は、図1に示すようにブロック内周辺部に配置される場合が最も効果的な配置であるが、後述するように隣接する機能ブロックが同じ電源電圧の場合等には、それらブロック間に配置されても同等の効果を奏する。

【0028】

今、例えば、各機能ブロック3～6の電源電圧が、それぞれ1.0V，1.2V，1.2V，0.8Vに設定されとする。従って、このとき各リピータセル8の電源電圧は、例えば1.2Vに設定される。

【0029】

このように設定される場合、機能ブロック 3 の電源電圧は 1.0 V であることから、当該ブロック 3 内周辺部にレベルコンバータセル 9 が配置される。

機能ブロック 4, 5 の電源電圧はそれぞれ 1.2 V である。従って、当該ブロック 4, 5 に、レベルコンバータセルは不要である。

【0030】

機能ブロック 6 の電源電圧は 0.8 V であることから、当該ブロック 6 内周辺部にレベルコンバータセル 9 が配置される。

即ち、このようにレベルコンバータセル 9 が、機能ブロック 3, 6 の内部に配置されることにより、リピータセル 8 に一定の電源電圧が供給される。

【0031】

図 2 は、内部スタンダードセル 7、リピータセル 8、レベルコンバータセル 9 の概略図を示す。

内部スタンダードセル 7 は、電源端子 VDDblock, 電源端子 VSS を含む。

【0032】

一方、リピータセル 8 は、電源端子 VDDtop, 電源端子 VSS を含み、このリピータセル 8 の電源端子 VDDtop の位置は、内部スタンダードセル 7 の電源端子 VDDblock の位置と異なる位置（高さ）に設けられる。

【0033】

レベルコンバータセル 9 は、リピータセル 8 の電源端子 VDDtop、内部スタンダードセル 7 の電源端子 VDDblock、及び、電源端子 VSS を含む。即ち、電源端子 VDDblock 及び電源端子 VDDtop の位置が異なる高さに設けられることにより、レベルコンバータセル 9 は、それら電源端子 VDDblock, VDDtop を含み、一体に形成される。

【0034】

図 3 は、レベルコンバータセルの配置例を示す多電源レイアウト図である。

機能ブロック 10 は、6 つの内部スタンダードセル 11～16 と、3 つのレベルコンバータセル 17～19 が配置されている。ちなみに、内部スタンダードセル 11, 12 及びレベルコンバータセル 18, 19 は、内部スタンダードセル 13, 14, 15, 16 及びレベルコンバータセル 17 に対して 180 度回転した

状態でレイアウトされる。

【 0 0 3 5 】

機能ブロック 2 0 は、6 つの内部スタンダードセル 2 1 ~ 2 6 と、3 つのレベルコンバータセル 2 7 ~ 2 9 が配置されている。ちなみに、内部スタンダードセル 2 1, 2 2, 2 3, 2 4 及びレベルコンバータセル 2 9 は、内部スタンダードセル 2 5, 2 6 及びレベルコンバータセル 2 7, 2 8 に対して 1 8 0 度回転した状態でレイアウトされる。

【 0 0 3 6 】

また、機能ブロック 1 0, 2 0 のブロック間に、8 つのリピータセル 3 1 ~ 3 8 が配置され、リピータセル 3 1, 3 2, 3 5, 3 6 は、リピータセル 3 3, 3 4, 3 7, 3 8 に対して 1 8 0 度回転した状態でレイアウトされる。

【 0 0 3 7 】

図 4 は、図 3 の様に配置したセルに電源配線を施した例を示す多電源レイアウト図である。尚、隣接する機能ブロック 1 0, 2 0 の電源電圧が例えば 1. 0 V に設定され、それらブロック間の電圧、即ちリピータセル 3 1 ~ 3 8 の電源電圧が例えば 1. 2 V に設定されとする。

【 0 0 3 8 】

機能ブロック 1 0 及び機能ブロック 2 0 の電源電圧は共に 1. 0 V であり、同じ電源電圧に設定されている。従って、機能ブロック 1 0 の内部スタンダードセル 1 3, レベルコンバータセル 1 7 と、機能ブロック 2 0 のレベルコンバータセル 2 7, 2 8 の電源端子 VDDblock は、電源配線 4 1 により接続される。また、それらセルの各電源端子 VSS とリピータセル 3 3, 3 4 の電源端子 VSS は、電源配線 4 2 により接続される。更に、それらセルのうち、レベルコンバータセル 1 7, 2 7, 2 8 及びリピータセル 3 3, 3 4 の電源端子 VDDtop は、電源配線 4 3 により接続される。同様にして、同一セル列に配置される各セルの電源端子 VDDblock, VSS 及び VDDtop は、それぞれ電源配線 4 1, 4 2, 4 3 により接続される。

【 0 0 3 9 】

また、電源幹線 4 4 は各電源配線 4 1 に接続され、それら各電源配線 4 1 に電源を供給する。同様にして、電源幹線 4 5, 4 6 は各電源配線 4 2, 4 3 にそれ

ぞれ電源を供給する。

【 0 0 4 0 】

従って、同一セル列に配置された各セルの電源端子VDDblock、VSS 及びVDDtop は、それぞれ横方向の電源配線 4 1, 4 2, 4 3 により同一の電源が供給される。尚、本実施形態では、機能ブロック 1 0, 2 0 の電源電圧が同一であるため、当該機能ブロック 1 0, 2 0 は同一の電源配線 4 1 より接続される。従って、各レベルコンバータ 1 7 ~ 1 9 及び 2 7 ~ 2 9 は、機能ブロック 1 0, 2 0 のブロック間においてそれらブロック 1 0, 2 0 の周辺に配置されてもよい。

【 0 0 4 1 】

次に、上記したような多電源半導体装置のレイアウト設計を実施するためのコンピュータシステムの概略構成を図 5 に従って説明する。

このコンピュータ 5 1 は、一般的な C A D (Computer Aided Design) 装置からなり、中央処理装置（以下、CPU という）5 2、メモリ 5 3、記憶装置 5 4、表示装置 5 5、入力装置 5 6、及びドライブ装置 5 7 により構成され、それらはバス 5 8 を介して相互に接続されている。

【 0 0 4 2 】

CPU 5 2 は、メモリ 5 3 を利用してプログラムを実行し、多電源半導体装置のレイアウト設計、遅延計算、消費電力計算等の必要な処理を実現する。メモリ 5 3 には、各種処理を実現するために必要なプログラムとデータが格納され、このメモリ 5 3 としては、通常、キャッシュ・メモリ、システム・メモリ、及びディスプレイ・メモリ等（図示略）を含む。

【 0 0 4 3 】

表示装置 5 5 は、レイアウト表示、パラメータ入力画面等の表示に用いられ、これには通常、CRT, LCD, PDP 等（図示略）が用いられる。入力装置 5 6 は、ユーザからの要求や指示、パラメータの入力に用いられ、これにはキーボード及びマウス装置等（図示略）が用いられる。

【 0 0 4 4 】

記憶装置 5 4 は、通常、磁気ディスク装置、光ディスク装置、光磁気ディスク装置等（図示略）を含む。この記憶装置 5 4 には、図 6 に示す多電源半導体装置

の設計処理のための第1～第3のデータファイル61～63及びプログラムデータ（ステップ71～76）が格納される。そして、CPU52は、入力装置56による指示に応答して前記プログラムデータをメモリ53へ転送し、それを逐次実行する。

【0045】

CPU52が実行するプログラムデータは、記録媒体59にて提供される。ドライブ装置57は、記録媒体59を駆動し、その記憶内容にアクセスする。CPU52は、ドライブ装置57を介して記録媒体59からプログラムデータを読み出し、それを記憶装置54にインストールする。

【0046】

記録媒体59としては、磁気テープ(MT)、メモリカード、フロッピーディスク、光ディスク(CD-ROM, DVD-ROM, …), 光磁気ディスク(MO, MD, …)等（図示略）、任意のコンピュータ読み取り可能な記録媒体を使用することができる。この記録媒体59に、上述のプログラムデータを格納しておき、必要に応じて、メモリ53にロードして使用することもできる。

【0047】

尚、記録媒体59には、通信媒体を介してアップロード又はダウンロードされたプログラムデータを記録した媒体、ディスク装置を含む。更に、コンピュータによって直接実行可能なプログラムを記録した記録媒体だけでなく、いったん他の記録媒体（ハードディスク等）にインストールすることによって実行可能となるようなプログラムを記録した記録媒体や、暗号化されたり、圧縮されたりしたプログラムを記録した記録媒体も含む。

【0048】

次に、多電源設計処理の流れを、図6のフローチャートに従って説明する。

多電源設計処理は、図6のステップ71～ステップ76から構成され、ステップ71は、サブステップ71a, 71bを含む。

【0049】

ステップ71aにおいて、CPU52は、複数の電源にて動作するセル又はブロックを定義したセルライブラリ、ブロックライブラリをそれぞれ第1及び第2

のデータファイル 6 1, 6 2 に格納し、それらファイル 6 1, 6 2 に基づいて、機能ブロック毎の電源電圧、或いはブロック間電圧を設定する。

【0 0 5 0】

また、サブステップ 7 1 b において、CPU 5 2 は、前記セルライブラリ、ブロックライブラリに基づいて作成した半導体装置のネットリストが格納されている第 3 のデータファイル 6 3 からネットリストを入力する。

【0 0 5 1】

ステップ 7 2 において、CPU 5 2 は、ステップ 7 1 にて設定した機能ブロック毎の電源電圧、ブロック間電圧に基づいてレベルコンバータセルを生成し、それをネットリストに追加する。

【0 0 5 2】

ステップ 7 3 において、CPU 5 2 は、ネットリストに追加されたレベルコンバータセルを該当する機能ブロック内、又はそのブロックの周囲に配置する。このとき、レベルコンバータセルは、ブロック間電圧と異なる電源電圧の機能ブロックに配置される。

【0 0 5 3】

次いで、ステップ 7 4 において、CPU 5 2 は、他セル（内部スタンダードセル、リピータセル等）を配置した後、ステップ 7 5 において、各セルの電源配線を接続することによりそれらセルへの電源の供給方法を決定する。

【0 0 5 4】

そして、ステップ 7 6 において、各セルを繋ぐ信号線が接続される。

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 機能ブロック 1 0 は、内部スタンダードセル 1 1 ~ 1 6 及びレベルコンバータセル 1 7 ~ 1 9 を含み、レベルコンバータセル 1 7 ~ 1 9 は、機能ブロック 1 0 の内周辺部に配置される。同じく機能ブロック 2 0 に内部スタンダードセル 2 1 ~ 2 6 及びレベルコンバータセル 2 7 ~ 2 9 が配置される。機能ブロック 1 0, 2 0 のブロック間にリピータセル 3 1 ~ 3 8 が配置される。内部スタンダードセル 1 1 ~ 1 6, 2 1 ~ 2 6 の電源端子 VDDblock は、リピータセル 3 1 ~ 3 8 の電源端子 VDDtop と異なる位置（高さ）に設ける。レベルコンバータセル 1 7

～19, 27～29は電源端子VDDblock, VDDtopを有し、一体型に形成される。これにより、異なる電源電圧を印加する各種セルを同一セル列に配置することができ、各電源端子VDDblock, VSS, VDDtopは、横方向の電源配線41, 42, 43により接続されるため、それら電源配線の接続を簡素化することができる。

【0055】

(2) 電源端子VDDblock, VDDtopはそれぞれ異なる高さに設けたことにより、ブロック間の配線ネットに新たにリピータセル等を追加する場合にも、その配置制限を受けることはないため、レイアウト設計の効率化が図れる。

【0056】

(3) レベルコンバータセル17～19, 27～29は、機能ブロック10, 20内(周辺)に配置されるため、それらブロック間の電源電圧つまりリピータセル31～38の電源電圧は単一化される。これにより、各種セルの電源配線の接続が簡素化され、レイアウト設計をより一層容易に行える。

【0057】

(4) レベルコンバータセル17～19, 27～29は一体型に形成される。従って、多電源半導体装置のレイアウト設計が簡素化される。

(5) 既存のCADシステムを使用して多電源半導体装置のレイアウトを構築することができるため、その設計時間の短縮化に貢献できる。

【0058】

(第二実施形態)

次に、本発明を具体化した第二実施形態を図7に従って説明する。

尚、本実施形態は、上述した第一実施形態の図4において、機能ブロック10と機能ブロック20の電源電圧が異なる場合を説明したものである。従って、第一実施形態と同様な構成部分には、同一符号及び同一名称を付してその詳細な説明を省略する。

【0059】

今、例えば機能ブロック10, 20の電源電圧がそれぞれ0.8V, 1.0Vに設定され、それらブロック間つまりリピータセルが1.2Vに設定されるとする。

【 0 0 6 0 】

機能ブロック 1 0, 2 0 が異なる電源電圧に設定されるとき、機能ブロック 1 0 の内部スタンダードセル 1 3, レベルコンバータセル 1 7 の電源端子 VDDblock は、電源配線 4 1 a により接続される。また、機能ブロック 2 0 のレベルコンバータセル 2 7, 2 8 の電源端子 VDDblock は、電源配線 4 1 b により接続される。

【 0 0 6 1 】

同様に、機能ブロック 1 0 の同一セル列に配置される各セルの電源端子 VDDblock は電源配線 4 1 a により接続され、機能ブロック 2 0 の同一セル列に配置される各セルの電源端子 VDDblock は電源配線 4 1 b により接続される。

【 0 0 6 2 】

電源幹線 4 4 a は電源配線 4 1 a に接続され、それら各電源配線 4 1 a に電源を供給する。また、電源幹線 4 4 b は各電源配線 4 1 b に接続され、それら各電源配線 4 1 b に電源を供給する。

【 0 0 6 3 】

ちなみに、機能ブロック 1 0, 2 0 の内部スタンダードセル 1 1 ~ 1 6, 2 1 ~ 2 6, レベルコンバータセル 1 7 ~ 1 9, 2 7 ~ 2 9、及びリピータセル 3 1 ~ 3 8 の電源端子 VSS, VDDtop は、第一実施形態と同様に電源配線 4 2, 4 3 により接続され、それら電源配線 4 2, 4 3 に電源幹線 4 5, 4 6 が接続される。

【 0 0 6 4 】

以上記述したように、機能ブロック 1 0, 2 0 の電源電圧が異なる場合には、機能ブロック 1 0 の各セルの電源端子 VDDblock を接続する電源配線 4 1 a と機能ブロック 2 0 の各セルの電源端子 VDDblock を接続する電源配線 4 1 b は、それぞれ独立して設ければよい。従って、本実施の形態では、第一実施形態と同様の効果を奏する。

【 0 0 6 5 】

尚、本発明は上記各実施形態に限定されるものではなく、以下のように実施してもよい。

・第一実施形態において、各セルの電源端子 VDDblock を接続する電源配線 4 1 は、機能ブロック 1 0, 2 0 のブロック間で分離して、それぞれ独立して設けて

もよい。

【 0 0 6 6 】

・ 第一実施形態において、レベルコンバータセル 1 7 ~ 1 9 , 2 7 ~ 2 9 は、機能ブロック 1 0 , 2 0 の内部においてその周辺部に配置すること限定されない。また、ブロック間においてそれらブロック 1 0 , 2 0 の周辺部にそれぞれ配置してもよい。

【 0 0 6 7 】

・ 第一実施形態のように、機能ブロック 1 0 , 2 0 の電源電圧が同一である場合に、例えばブロック間にリピータセル 3 1 ~ 3 8 を不要とするときは、レベルコンバータセル 1 7 ~ 1 9 , 2 7 ~ 2 9 を配置しなくてもよい。

【 0 0 6 8 】

・ 第一及び第二実施形態において、ブロック間に配置されるリピータセル 3 1 ~ 3 8 を他の機能ブロック内に配置して当該ブロックが、機能ブロック 1 0 , 2 0 のブロック間に配置されることとしてもよい。

【 0 0 6 9 】

【 発 明 の 効 果 】

以上記述したように、この発明は、多電源レイアウトにおけるセルの配置及び電源配線の接続を簡素化し、レイアウト設計時間の短縮を図ることができる半導体装置、レイアウトデータ設計装置、及び記録媒体を提供することができる。

【 図 面 の 簡 単 な 説 明 】

【 図 1 】 第一実施形態の半導体装置の概略平面図である。

【 図 2 】 第一実施形態のレベルコンバータセルの概略図である。

【 図 3 】 第一実施形態のレベルコンバータセルの配置例を示す多電源レイアウト図である。

【 図 4 】 第一実施形態の半導体装置の多電源レイアウト図である。

【 図 5 】 第一実施形態のレイアウトデータ設計システムの概略構成図である。

【 図 6 】 第一実施形態の設計処理を示すフローチャートである。

【 図 7 】 第二実施形態の半導体装置の多電源レイアウト図である。

【図 8】半導体装置の概略平面図である。

【図 9】レベルコンバータセルの要否を示す説明図である。

【図 1 0】従来の昇圧レベルコンバータセルの概略図である。

【図 1 1】従来の昇圧レベルコンバータセルによる多電源レイアウト図である。

【符号の説明】

1 半導体装置

1 0 第 1 のブロック

VDDblock 第 1 の電源端子

1 1 ~ 1 6, 2 1 ~ 2 6 第 1 のスタンダードセル

VDDtop 第 2 の電源端子

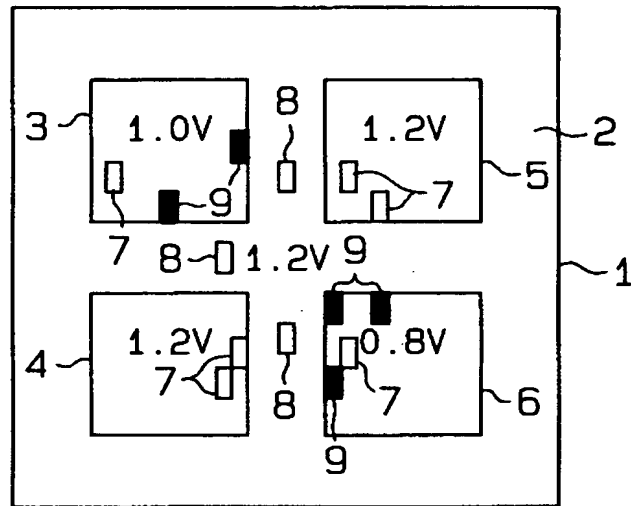
3 1 ~ 3 8 第 2 のスタンダードセル

1 7 ~ 1 9, 2 7 ~ 2 9 レベルコンバータセル

【書類名】 図面

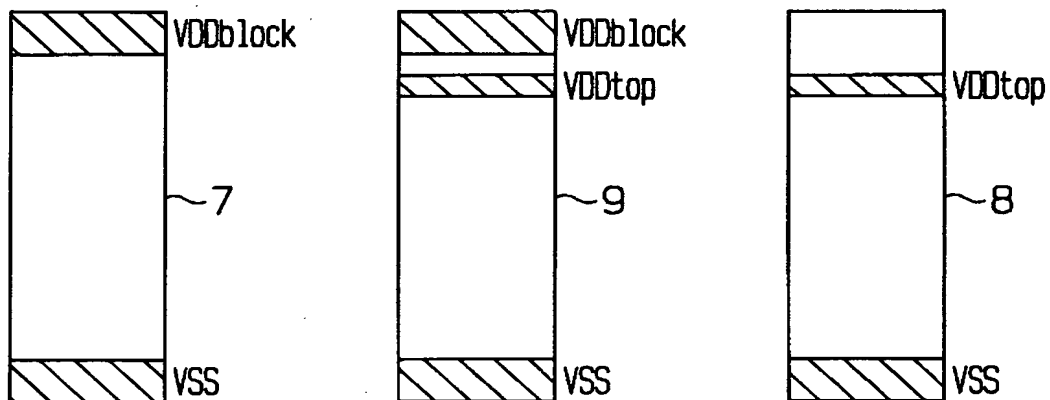
【図 1】

半導体装置の概略平面図



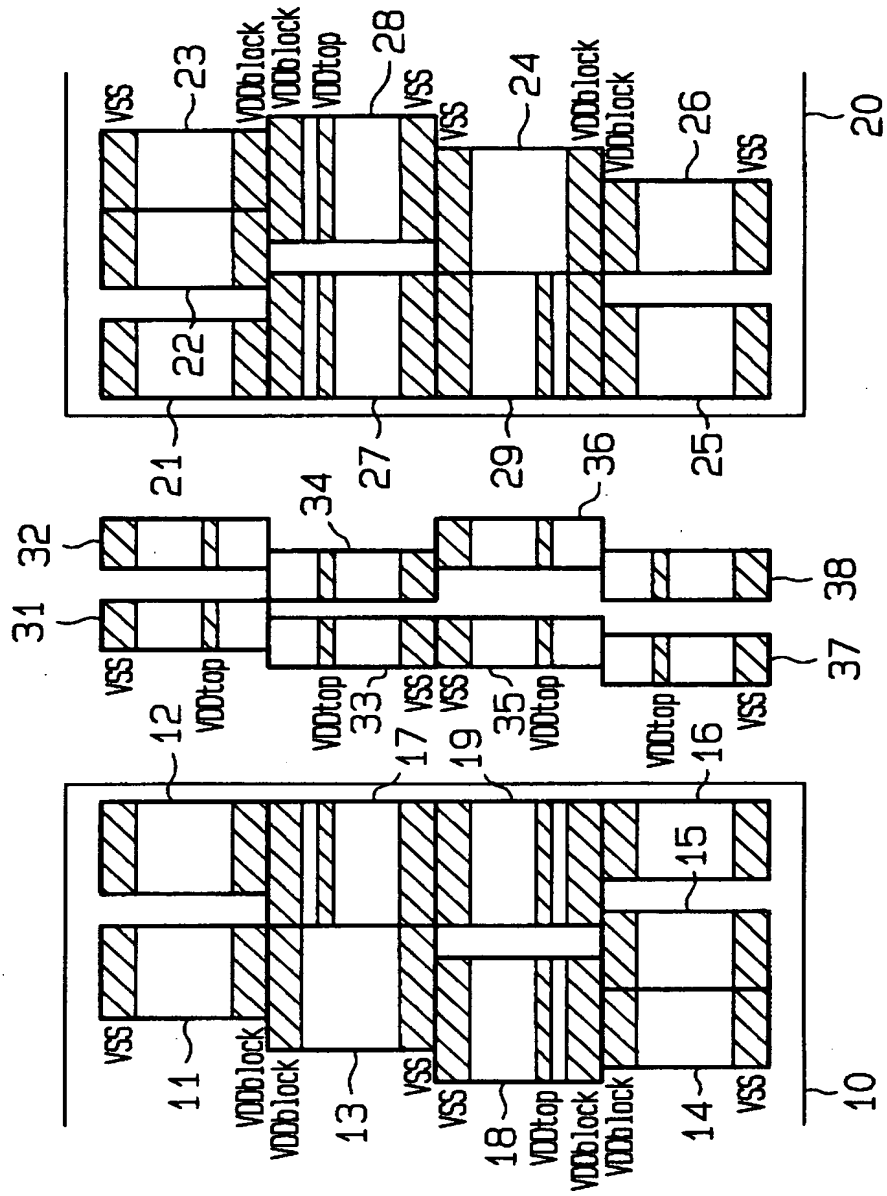
【図 2】

レベルコンバータセルの概略図



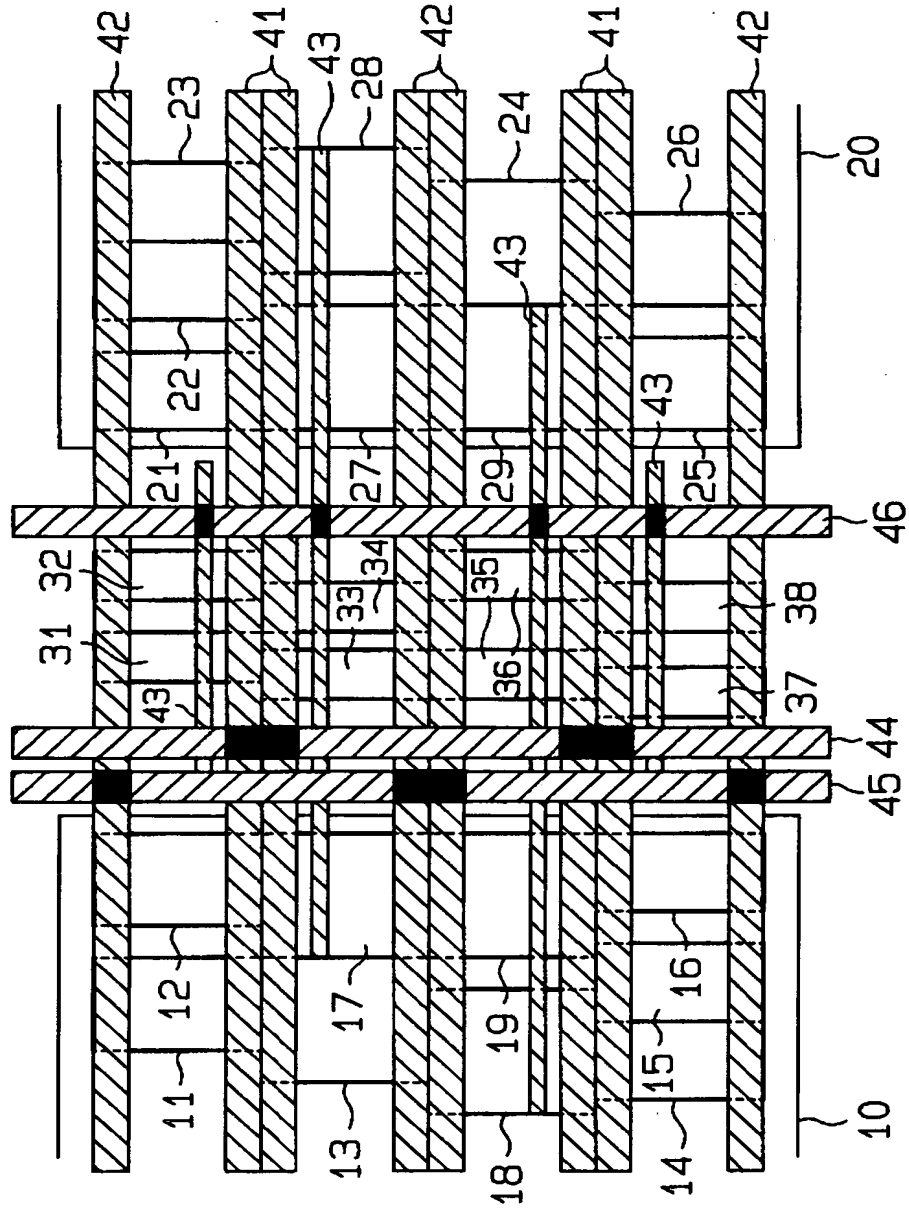
【図 3】

レベルコンパクターセルの配置例を示す多電源レイアウト図



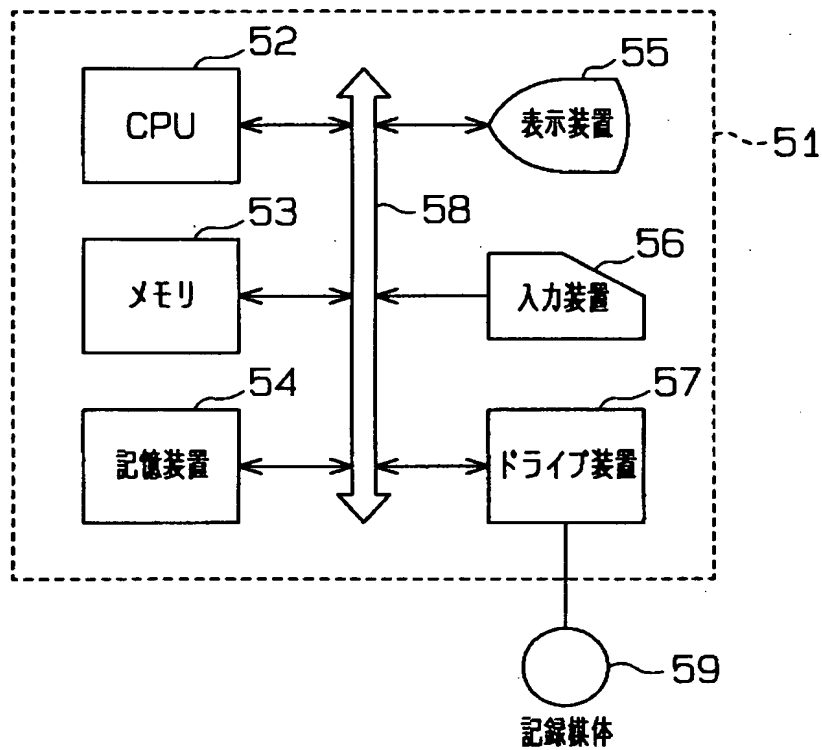
【図 4】

第一実施形態の半導体装置の多電源レイアウト図



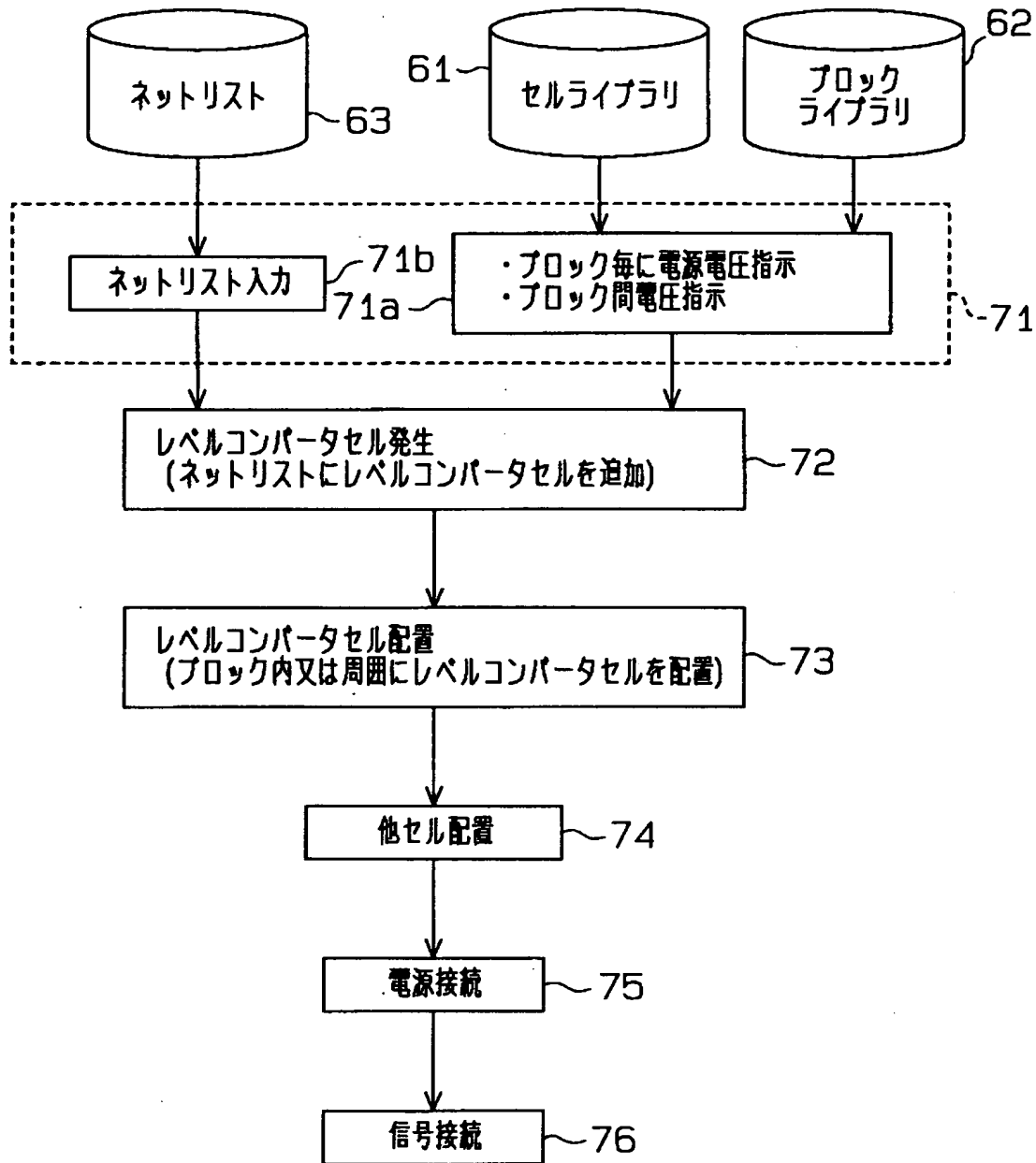
【図 5】

レイアウトデータ設計システムの概略構成図



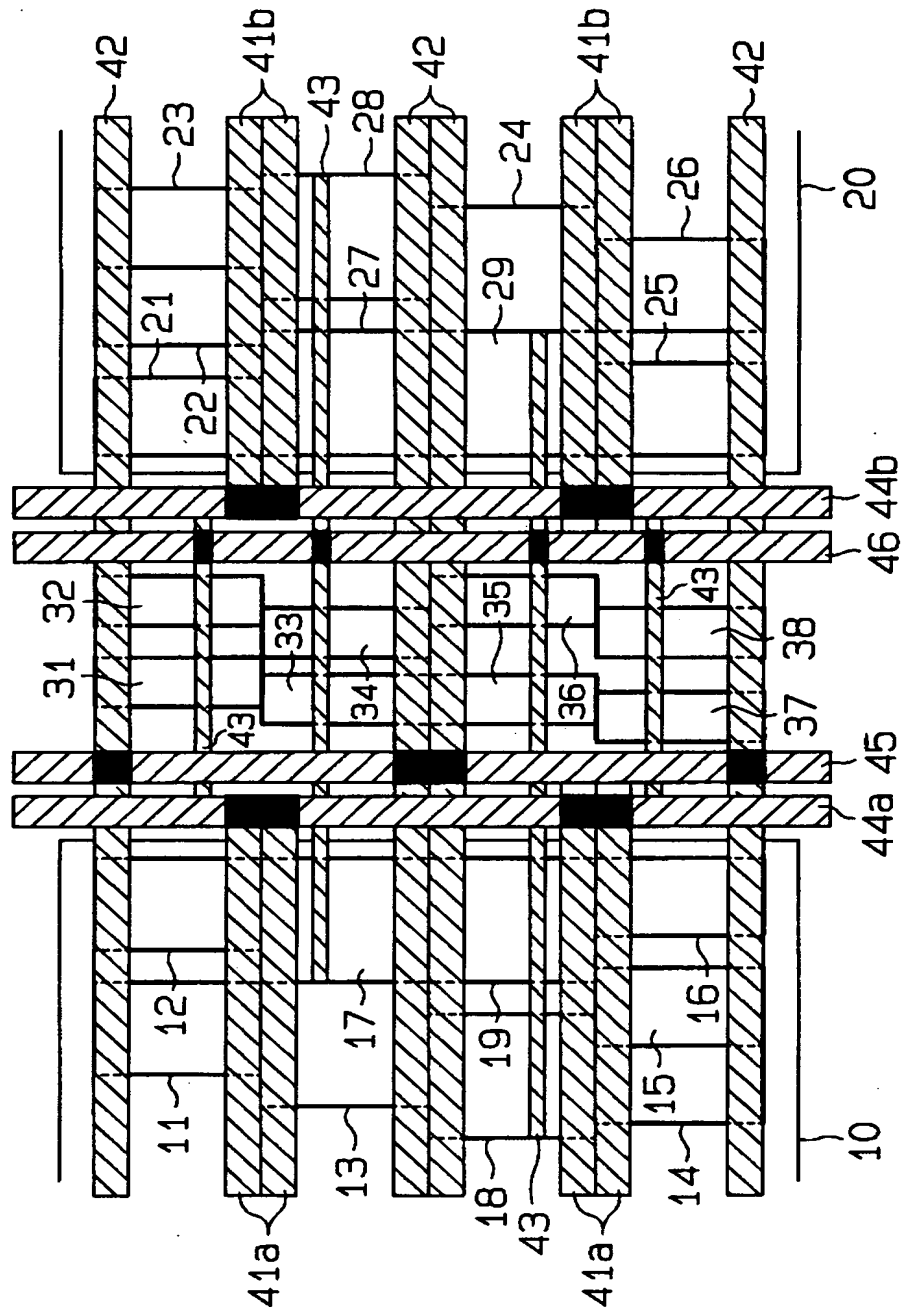
【図 6】

設計処理を示すフローチャート



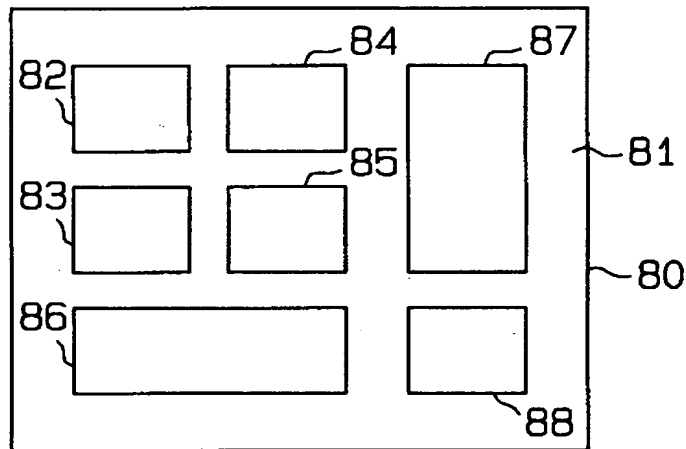
【図 7】

第二実施形態の半導体装置の多電源シイアウト図



【図 8】

半導体装置の概略平面図



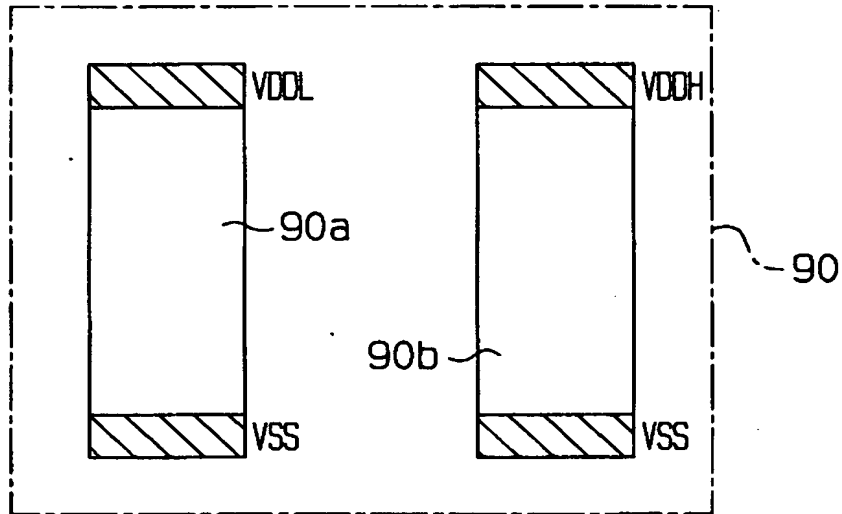
【図 9】

レベルコンバータセルの要否を示す説明図

	Block A (1.0V)	Block B (1.2V)	Block C (1.2V)	Block D (0.8V)
Block A (1.0V)		設置	設置	設置
Block B (1.2V)	設置		不要	設置
Block C (1.2V)	設置	不要		設置
Block D (0.8V)	設置	設置	設置	

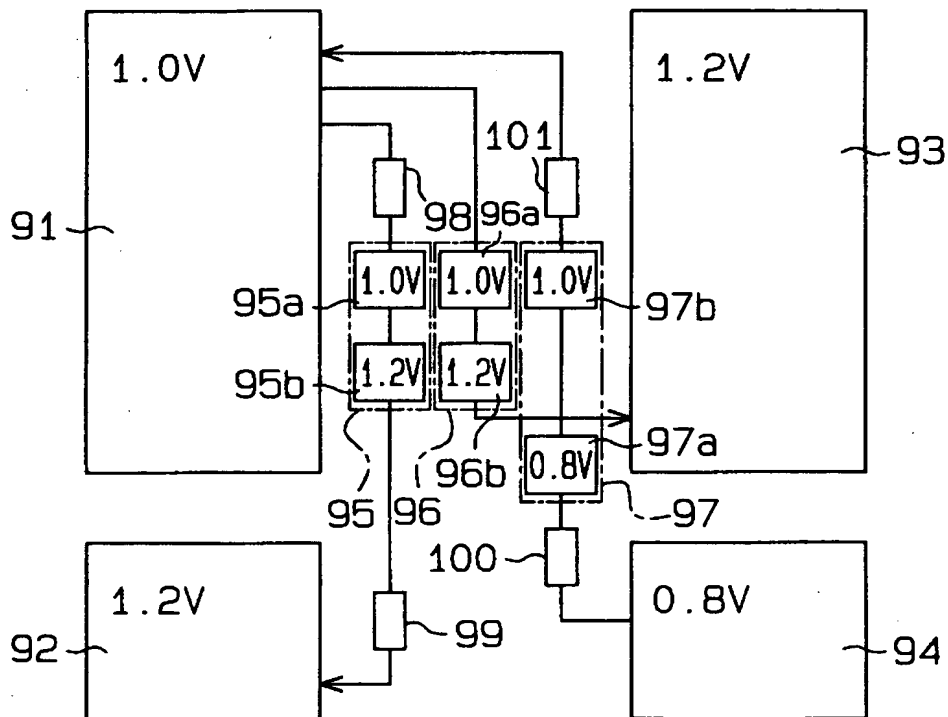
【図 1 0】

従来の昇圧レベルコンバータセルの概略図



【図 1 1】

従来の昇圧レベルコンバータセルによる多電源レイアウト図



【書類名】 要約書

【要約】

【課題】多電源レイアウトにおけるセルの配置及び電源配線の接続を簡素化し、レイアウト設計時間の短縮を図ることができる半導体装置、レイアウトデータ設計装置、及び記録媒体を提供する。

【解決手段】機能ブロック10は、内部スタンダードセル11～16及びレベルコンバータセル17～19を含み、レベルコンバータセル17～19は、機能ブロック10の内周辺部に配置される。同じく機能ブロック20に内部スタンダードセル21～26及びレベルコンバータセル27～29が配置される。機能ブロック10、20のブロック間にリピータセル31～38が配置される。内部スタンダードセル11～16、21～26の電源端子VDDblockは、リピータセル31～38の電源端子VDDtopと異なる位置（高さ）に設ける。レベルコンバータセル17～19、27～29は電源端子VDDblock、VDDtopを有し、一体型に形成される。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日
[変更理由] 新規登録
住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社